

SEMICONDUCTOR INTEGRATED CIRCUIT

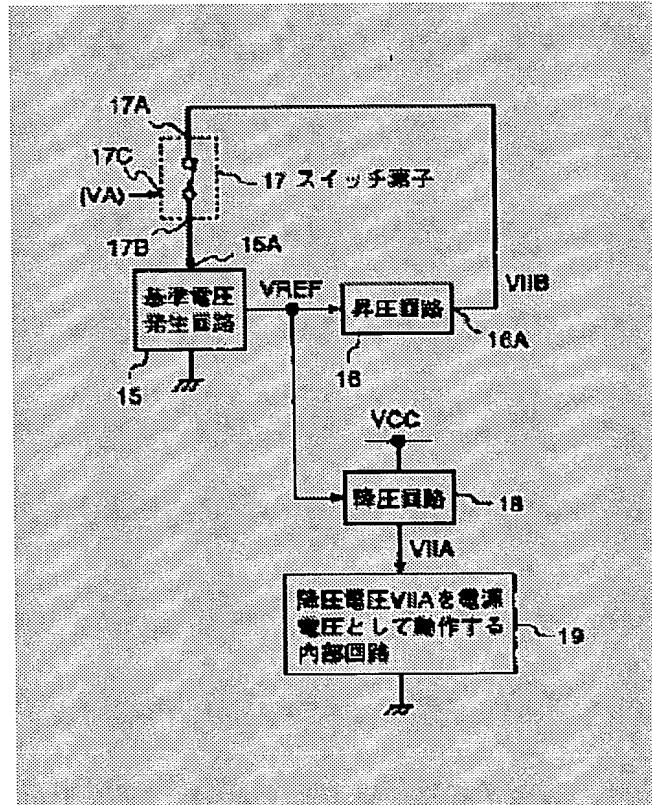
Patent number: JP7219658
Publication date: 1995-08-18
Inventor: YAMADA TOYONAGA; others: 01
Applicant: FUJITSU LTD
Classification:
 - international: G05F1/56
 - european:
Application number: JP19940008542 19940128
Priority number(s):

Abstract of JP7219658

PURPOSE: To secure the stable operation of a reference voltage generating circuit by operating the reference voltage generating circuit in normal operation by using a boosted voltage lower than an external source voltage as a source voltage.

CONSTITUTION: In the normal operation, a switch element 17 is turned ON, so the boosted voltage VIIB outputted from a boosting circuit 16 is supplied as the source voltage to the reference voltage-generating circuit 15 through the switch element 17. Here, the boosting circuit 16 boosts a reference voltage VREF within a voltage range lower than an external voltage power source VCC, and the boosted voltage VIIB is lower than the external source voltage VCC. Namely, the reference voltage generating circuit 15 operates normally by using the boosted voltage VIIB lower than the external source voltage VCC as its source voltage.

Consequently, the stable operation of the reference voltage generating circuit 16 can be secured.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-219658

(43)公開日 平成7年(1995)8月18日

(51)Int.Cl.⁶
G 0 5 F識別記号 庁内整理番号
3 1 0 K

F I

技術表示箇所

審査請求 未請求 請求項の数14 O L (全10頁)

(21)出願番号

特願平6-8542

(22)出願日

平成6年(1994)1月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 山田 豊修

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 遠藤 哲哉

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 平戸 哲夫

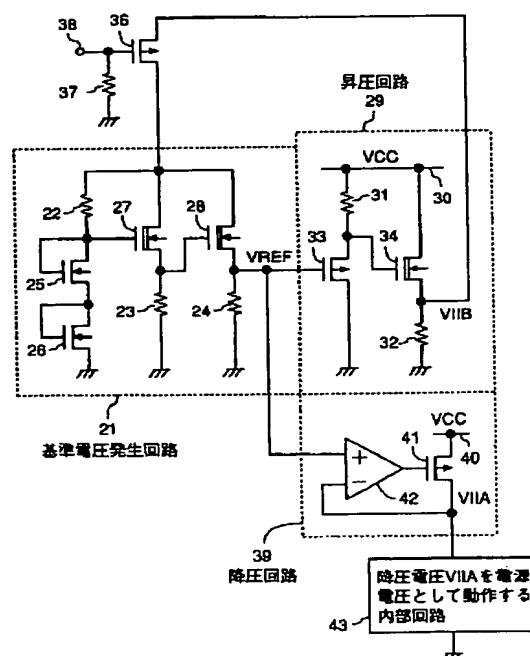
(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】降圧回路を内蔵して構成される半導体集積回路に関し、基準電圧発生回路を構成するトランジスタのゲート酸化膜と、降圧電圧を電源電圧として動作する内部回路を構成するトランジスタのゲート酸化膜とを同一のプロセスで形成して同一の膜厚としても、基準電圧発生回路の安定した動作を確保することができると共に、試験時、降圧回路に対して、基準電圧発生回路が output する基準電圧よりも低電圧の基準電圧を外部から供給することができるようとする。

【構成】通常動作時、外部電源電圧 VCC よりも低電圧の昇圧電圧 VIB を電源電圧として p MOS トランジスタ 36 を介して基準電圧発生回路 21 に供給し、試験時には、パッド 38 に外部電源電圧 VCC を印加することにより、p MOS トランジスタ 36 を非導通状態とし、基準電圧発生回路 21 を非活性状態にする。

第1実施例の要部



【特許請求の範囲】

【請求項1】基準電圧(VREF)を出力する基準電圧発生回路(15)と、前記基準電圧(VREF)を外部から供給される外部電源電圧(VCC)よりも低電圧の範囲で昇圧する昇圧回路(16)と、入力端(17A)を前記昇圧回路(16)の昇圧電圧出力端(16A)に接続され、出力端(17B)を前記基準電圧発生回路(15)の電源電圧入力端(15A)に接続され、通常動作時は、電源投入によって導通状態とされ、試験時は、制御端(17C)に所定の電圧(VA)を印加されることにより、非導通状態とされるスイッチ素子(17)と、前記外部電源電圧(VCC)を降圧し、前記基準電圧(VREF)と同一電圧の降圧電圧(VIIA)を出力する降圧回路(18)と、前記降圧電圧(VIIA)を電源電圧として動作する内部回路(19)とを設けて構成されていることを特徴とする半導体集積回路。

【請求項2】前記スイッチ素子(17)は、通常動作時、昇圧回路(16)によって導通状態とされることを特徴とする請求項1記載の半導体集積回路。

【請求項3】前記スイッチ素子(17)を導通状態とするスイッチ制御回路を設けて構成していることを特徴とする請求項1記載の半導体集積回路。

【請求項4】前記スイッチ素子(17)は、ソースを入力端(17A)とされ、ドレインを出力端(17B)とされ、ゲートを制御端(17C)とされ、前記ゲートを抵抗素子を介して接地されると共にパッドに接続されるエンハンスマント形のpチャネルMISトランジスタからなることを特徴とする請求項1、2又は3記載の半導体集積回路。

【請求項5】前記スイッチ制御回路は、ドレインを前記外部電源電圧(VCC)を供給する電源線に接続され、ゲートを接地されたデプレッション形の第1のnチャネルMISトランジスタと、一端を前記第1のnチャネルMISトランジスタのソースに接続され、他端を接地された第1の負荷素子と有し、前記第1のnチャネルMISトランジスタのソースを出力端とする第1の回路を初段回路として、ドレインを前記外部電源電圧(VCC)を供給する電源線に接続されたデプレッション形の第2のnチャネルMISトランジスタと、一端を前記第2のnチャネルMISトランジスタのソースに接続され、他端を接地された第2の負荷素子と有し、前記第2のnチャネルMISトランジスタのゲートを入力端、前記第2のnチャネルMISトランジスタのソースを出力端とする一又は複数の第2の回路を縦列接続して構成していることを特徴とする請求項3又は4記載の半導体集積回路。

【請求項6】前記第1、第2のnチャネルMISトラン

ジスタは、バックバイアス電圧をそのソースの電圧と同一電圧となるようにされていることを特徴とする請求項5記載の半導体集積回路。

【請求項7】前記昇圧回路(16)は、ドレインを接地されたエンハンスマント形のpチャネルMISトランジスタと、一端を前記外部電源電圧(VCC)を供給する電源線に接続され、他端を前記pチャネルMISトランジスタのソースに接続された第1の負荷素子と有し、前記pチャネルMISトランジスタのゲートを入力端とし、前記pチャネルMISトランジスタのソースを出力端とする一又は複数の第1の回路と、ドレインを前記外部電源電圧(VCC)を供給する電源線に接続されたデプレッション形のnチャネルMISトランジスタと、一端を前記nチャネルMISトランジスタのソースに接続され、他端を接地された第2の負荷素子と有し、前記nチャネルMISトランジスタのゲートを入力端とし、前記nチャネルMISトランジスタのソースを出力端とする一又は複数の第2の回路とを縦列接続させて構成していることを特徴とする請求項1、2、3、4、5又は6記載の半導体集積回路。

【請求項8】前記pチャネルMISトランジスタは、バックバイアス電圧をそのソースの電圧と同一電圧となるようにされ、前記nチャネルMISトランジスタは、バックバイアス電圧をそのソースの電圧と同一電圧となるようにされていることを特徴とする請求項7記載の半導体集積回路。

【請求項9】前記第1、第2の負荷素子は、抵抗として動作するようにされたトランジスタからなることを特徴とする請求項7又は8記載の半導体集積回路。

【請求項10】前記昇圧回路(16)は、ドレインを接地されたエンハンスマント形のpチャネルMISトランジスタと、一端を前記外部電源電圧(VCC)を供給する電源線に接続され、他端を前記pチャネルMISトランジスタのソースに接続された負荷素子と有し、前記pチャネルMISトランジスタのゲートを入力端とし、前記pチャネルMISトランジスタのソースを出力端とする複数の回路を縦列接続させて構成していることを特徴とする請求項1、2、3、4、5又は6記載の半導体集積回路。

【請求項11】前記pチャネルMISトランジスタは、バックバイアス電圧をそのソースの電圧と同一電圧となるようにされていることを特徴とする請求項10記載の半導体集積回路。

【請求項12】前記昇圧回路(16)は、ドレインを前記外部電源電圧(VCC)を供給する電源線に接続されたデプレッション形のnチャネルMISトランジスタと、一端を前記nチャネルMISトランジスタのソースに接続され、他端を接地された負荷素子と有し、前記nチャネルMISトランジスタのゲートを入力端とし、前記nチャネルMISトランジスタのソースを出力端と

BEST AVAILABLE

する複数の回路を縦列接続させて構成されていることを特徴とする請求項1、2、3、4、5又は6記載の半導体集積回路。

【請求項13】前記nチャネルMISトランジスタは、バックバイアス電圧をそのソースの電圧と同一電圧となるようにされていることを特徴とする請求項12記載の半導体集積回路。

【請求項14】前記負荷素子は、抵抗として動作するようになされたトランジスタからなることを特徴とする請求項10、11、12又は13記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、基準電圧発生回路と、外部から供給される外部電源電圧を降圧し、基準電圧発生回路から出力される基準電圧と同一電圧の降圧電圧を出力する降圧回路とを内蔵して構成される半導体集積回路に関する。

【0002】

【従来の技術】従来、この種の半導体集積回路として、図11に、その要部を示すようなものが知られている。

【0003】図中、1は基準電圧VREFを出力する基準電圧発生回路であり、2は外部から供給される外部電源電圧VCCを供給するVCC電源線、3～5は抵抗、6、7はエンハンスマント形のnMOSトランジスタ(nチャネルMOSトランジスタ)、8、9はデプレッション形のnMOSトランジスタである。

【0004】また、10は外部から供給される外部電源電圧VCCを降圧する降圧回路であり、11はVCC電源線、12はレギュレータ・トランジスタをなすエンハンスマント形のpMOSトランジスタ(pチャネルMOSトランジスタ)、13はオペアンプ、VIIAは外部電源電圧VCCを降圧してなる降圧電圧である。

【0005】また、14は降圧回路10から出力される降圧電圧VIIAを電源電圧として動作する内部回路である。

【0006】ここに、基準電圧発生回路1は、エンハンスマント形のnMOSトランジスタのスレッショルド電圧をVTHn-E、デプレッション形のnMOSトランジスタのスレッショルド電圧をVTHn-Dとした場合、基準電圧VREFとして、 $2 \times VTHn-E + 2 \times |VTHn-D|$ なる電圧を出力するというものである。

【0007】また、降圧回路10は、外部電源電圧VCCをpMOSトランジスタ12で降圧し、このpMOSトランジスタ12のドレインに得られる降圧電圧VIIAをオペアンプ13の逆相入力端子にフィードバックして、オペアンプ13の出力によりpMOSトランジスタ12のゲート電圧を制御し、基準電圧VREFと同一電圧の降圧電圧VIIAを出力するというものである。

【0008】

【発明が解決しようとする課題】ここに、基準電圧発生

回路1を構成するnMOSトランジスタ8、9には外部電源電圧VCCが印加されるのに対して、内部回路14を構成するトランジスタには降圧電圧VIIAが印加される。

【0009】このため、nMOSトランジスタ8、9のゲート酸化膜を内部回路14を構成するトランジスタのゲート酸化膜と同一のプロセスで形成し、nMOSトランジスタ8、9のゲート酸化膜を内部回路14を構成するトランジスタのゲート酸化膜と同一の膜厚とする場合には、耐圧不足となり、安定した動作を保証することができない。

【0010】ここに、nMOSトランジスタ8、9のゲート酸化膜を内部回路14を構成するトランジスタのゲート酸化膜よりも厚く形成する場合には、基準電圧発生回路1の動作の安定化を図ることができるが、このようにする場合には、プロセスが複雑化してしまうという問題点があった。

【0011】また、このような基準電圧発生回路1を内蔵する半導体集積回路においては、試験時、基準電圧VREFと異なる電圧の基準電圧を外部から供給する場合がある。

【0012】この場合においては、外部から供給される基準電圧が基準電圧発生回路1から出力される基準電圧VREFよりも高電圧の場合には、外部から供給される基準電圧は基準電圧発生回路1から出力される基準電圧VREFに打ち勝つので、基準電圧VREFよりも高電圧の基準電圧をオペアンプ13の正相入力端子に供給することができる。

【0013】これに対して、外部から供給される基準電圧が基準電圧発生回路1から出力される基準電圧VREFよりも低電圧の場合には、外部から供給される基準電圧は基準電圧発生回路1から出力される基準電圧VREFに打ち勝つことができず、このままの回路では、試験時、基準電圧VREFよりも低電圧の基準電圧をオペアンプ13の正相入力端子に供給することができない。

【0014】本発明は、かかる点に鑑み、基準電圧発生回路を構成するトランジスタのゲート酸化膜と、降圧電圧を電源電圧として動作する内部回路を構成するトランジスタのゲート酸化膜と同一のプロセスで形成して同一の膜厚としても、基準電圧発生回路の安定した動作を確保することができると共に、試験時、降圧回路に対して、基準電圧発生回路が outputする基準電圧よりも低電圧の基準電圧を外部から供給することができるようになした半導体集積回路を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明による半導体集積回路は、図1に原理説明図を示すように、基準電圧発生回路15と、昇圧回路16と、スイッチ素子17と、降圧回路18と、降圧回路18から出力される降圧電圧VIIAを電源電圧として動作する内部回路19とを設け

て構成される。

【0016】ここに、基準電圧発生回路15は、基準電圧VREFを出力するものであり、昇圧回路16は、基準電圧発生回路15から出力される基準電圧VREFを外部から供給される外部電源電圧VCCよりも低電圧の範囲で昇圧するものである。

【0017】また、スイッチ素子17は、入力端17Aを昇圧回路16の昇圧電圧出力端16Aに接続され、出力端17Bを基準電圧発生回路15の電源電圧入力端15Aに接続され、通常動作時は、電源投入によって導通状態とされ、試験時は、制御端17Cに所定の電圧VAを印加されることにより、非導通状態とされるものである。

【0018】また、降圧回路18は、外部から供給される外部電源電圧VCCを降圧し、基準電圧VREFと同一電圧の降圧電圧VIIAを出力するものである。

【0019】

【作用】本発明においては、通常動作時、スイッチ素子17は導通状態とされるので、昇圧回路16から出力される昇圧電圧VIIBがスイッチ素子17を介して基準電圧発生回路15に電源電圧として供給される。

【0020】ここに、昇圧回路16は、基準電圧VREFを外部電源電圧VCCよりも低電圧の範囲で昇圧するものとされており、昇圧電圧VIIBは外部電源電圧VCCよりも低電圧とされる。

【0021】このように、本発明においては、通常動作時、基準電圧発生回路15は、外部電源電圧VCCよりも低電圧の昇圧電圧VIIBを電源電圧として動作するようになされている。

【0022】したがって、基準電圧発生回路15を構成するトランジスタのゲート酸化膜と、降圧電圧VIIAを電源電圧として動作する内部回路19を構成するトランジスタのゲート酸化膜とを同一のプロセスで形成して同一の膜厚としても、基準電圧発生回路15を構成するトランジスタのゲート酸化膜の耐圧不足による不安定動作を招くことがなく、基準電圧発生回路15の安定した動作を確保することができる。

【0023】また、本発明においては、スイッチ素子17の制御端17Cに所定の電圧VAを印加することにより、スイッチ素子17を非導通状態とし、基準電圧発生回路15を非活性状態にすることができるので、試験時、降圧回路18に対して、基準電圧発生回路15から出力される基準電圧VREFよりも低電圧の基準電圧を供給することができる。

【0024】

【実施例】以下、図2～図10を参照して、本発明の第1実施例～第7実施例について説明する。

【0025】第1実施例・・図2、図3

図2は本発明の第1実施例の要部を示す回路図である。図中、21は基準電圧VREFを出力する基準電圧発生

回路であり、22～24は抵抗、25、26はエンハンスマント形のnMOSトランジスタ、27、28はデプレッショント形のnMOSトランジスタである。

【0026】また、29は基準電圧発生回路21から出力される基準電圧VREFを昇圧する昇圧回路であり、30は外部電源電圧VCCを供給するVCC電源線、31、32は抵抗、33はエンハンスマント形のpMOSトランジスタ、34はデプレッショント形のnMOSトランジスタ、VIIIBは基準電圧VREFを昇圧してなる昇圧電圧である。

【0027】また、36はスイッチ素子をなすエンハンスマント形のpMOSトランジスタ、37は抵抗、38はパッドである。

【0028】また、39は外部電源電圧VCCを降圧する降圧回路であり、40はVCC電源線、41はレギュレータ・トランジスタをなすエンハンスマント形のpMOSトランジスタ、42はオペアンプ、VIIAは外部電源電圧VCCを降圧してなる降圧電圧である。

【0029】また、43は降圧回路39から出力される降圧電圧VIIAを電源電圧として動作する内部回路である。

【0030】ここに、基準電圧発生回路21は、図11に示す基準電圧発生回路1と同様に、基準電圧VREFとして、 $2 \times VTH_{n-E} + 2 \times |VTH_{n-D}|$ なる電圧を出力するというものである。

【0031】また、降圧回路39は、外部電源電圧VCCをpMOSトランジスタ41で降圧し、このpMOSトランジスタ41のドレインに得られる降圧電圧VIIAをオペアンプ42の逆相入力端子にフィードバックして、オペアンプ42の出力によりpMOSトランジスタ41のゲート電圧を制御し、基準電圧VREFと同一電圧の降圧電圧VIIAを出力するというものである。

【0032】ここに、図3は本実施例の動作を示す図であり、基準電圧発生回路21及び昇圧回路29の特性を示している。

【0033】即ち、本実施例においては、通常動作時、外部電源電圧VCCが投入されると、当初、昇圧回路29のpMOSトランジスタ33のゲート電圧は抵抗24を介して接地電圧0Vとされているので、昇圧電圧VIIIBとして、 $|VTH_{p-E}| + |VTH_{n-D}|$ が出力される。

【0034】但し、 VTH_{p-E} はpMOSトランジスタのスレッショルド電圧、 VTH_{n-D} は前述したように、デプレッショント形のnMOSトランジスタのスレッショルド電圧である。

【0035】この場合、pMOSトランジスタ36のゲート電圧は、抵抗37を介して接地電圧0Vとされているので、pMOSトランジスタ36のゲート・ソース間電圧 $|V_{GS}| > |VTH_{p-E}|$ となり、pMOSトランジスタ36は導通状態となり、 $|VTH_{p-E}| + |VTH_{n-D}|$

H_{n-D} | が基準電圧発生回路 21 の電源電圧として供給される。

【0036】この結果、基準電圧 VREF が上昇すると共に、昇圧電圧 VIB が上昇し、最終的には、基準電圧 $VREF = 2 \times VTH_{n-E} + 2 \times |VTH_{n-D}|$ となり、昇圧電圧 $VIB = VREF + |VTH_{p-E}| + |VTH_{n-D}|$ となる。

【0037】このように、本実施例においては、通常動作時、基準電圧発生回路 21 は外部電源電圧 VCC よりも低電圧の昇圧電圧 $VIB = VREF + |VTH_{p-E}| + |VTH_{n-D}|$ を電源電圧として動作するように構成されている。

【0038】したがって、本実施例によれば、基準電圧発生回路 21 を構成する nMOS ドランジスタ 25～28 のゲート酸化膜と、降圧電圧 VIA を電源電圧として動作する内部回路 43 を構成するトランジスタのゲート酸化膜とを同一のプロセスで形成して同一の膜厚としても、nMOS ドランジスタ 27、28 のゲート酸化膜の耐圧不足による不安定動作を招くことがなく、基準電圧発生回路 21 の安定した動作を確保することができる。

【0039】また、本実施例においては、パッド 38 に外部電源電圧 VCC を印加することにより、pMOS ドランジスタ 36 を非導通状態とし、基準電圧発生回路 21 を非活性状態にすることができる。

【0040】したがって、試験時、降圧回路 39 のオペアンプ 42 の正相入力端子に対して、基準電圧発生回路 21 から出力される基準電圧 VREF よりも低電圧の基準電圧を供給することができる。

【0041】第 2 実施例・図 4、図 5

図 4 は本発明の第 2 実施例の要部を示す回路図であり、本発明の第 2 実施例は、スタート回路 46 を設け、その他については、第 1 実施例と同様に構成したものである。

【0042】このスタート回路 46 は、電源が投入された場合、昇圧回路 29 が pMOS ドランジスタ 36 を導通状態とする前に、pMOS ドランジスタ 36 を導通状態にするものであり、図 5 に示すように構成されている。

【0043】図 5 中、47 は VCC 電源線、48、49 はデプレッショントラミット形の nMOS ドランジスタ、50、51 は抵抗である。

【0044】本実施例においては、通常動作時、電源が投入されると、スタート回路 46 から $2 \times |VTH_{n-D}|$ が出力され、これが pMOS ドランジスタ 36 のソースに供給され、pMOS ドランジスタ 36 が導通状態となる。

【0045】そして、最終的には、基準電圧 $VREF = 2 \times VTH_{n-E} + 2 \times |VTH_{n-D}|$ となり、昇圧電圧 $VIB = VREF + |VTH_{p-E}| + |VTH_{n-D}|$ が基

準電圧発生回路 21 に電源電圧として供給される。

【0046】このように、本実施例においても、通常動作時、基準電圧発生回路 21 は外部電源電圧 VCC よりも低電圧の昇圧電圧 $VIB = VREF + |VTH_{p-E}| + |VTH_{n-D}|$ を電源電圧として動作するように構成されている。

【0047】したがって、本実施例によても、基準電圧発生回路 21 を構成する nMOS ドランジスタ 25～28 のゲート酸化膜と、降圧電圧 VIA を電源電圧として動作する内部回路 43 を構成するトランジスタのゲート酸化膜とを同一のプロセスで形成して同一の膜厚としても、nMOS ドランジスタ 27、28 のゲート酸化膜の耐圧不足による不安定動作を招くことがなく、基準電圧発生回路 21 の安定した動作を確保することができる。

【0048】また、本実施例においても、パッド 38 に外部電源電圧 VCC を印加することにより、pMOS ドランジスタ 36 を非導通状態とし、基準電圧発生回路 21 を非活性状態にすることができる。

【0049】したがって、試験時、降圧回路 39 のオペアンプ 42 の正相入力端子に対して、基準電圧発生回路 21 から出力される基準電圧 VREF よりも低電圧の基準電圧を供給することができる。

【0050】第 3 実施例・図 6

図 6 は本発明の第 3 実施例の要部を示す回路図であり、本実施例は、昇圧回路として、図 2 に示す昇圧回路 29 と回路構成の異なる昇圧回路 53 を設け、その他については、第 1 実施例と同様に構成したものである。

【0051】昇圧回路 53 において、54 は VCC 電源線、55 はエンハンスマント形の pMOS ドランジスタ、56～58 はデプレッショントラミット形の nMOS ドランジスタ、59～62 は抵抗である。

【0052】本実施例においては、通常動作時、基準電圧 $VREF = 2 \times VTH_{n-E} + 2 \times |VTH_{n-D}|$ となり、昇圧電圧 $VIB = VREF + |VTH_{p-E}| + 3 \times |VTH_{n-D}|$ となる。

【0053】したがって、本実施例によても、基準電圧発生回路 21 を構成する nMOS ドランジスタ 25～28 のゲート酸化膜と、降圧電圧 VIA を電源電圧として動作する内部回路 43 を構成するトランジスタのゲート酸化膜とを同一のプロセスで形成して同一の膜厚としても、nMOS ドランジスタ 27、28 のゲート酸化膜の耐圧不足による不安定動作を招くことがなく、基準電圧発生回路 21 の安定した動作を確保することができる。

【0054】また、本実施例においても、パッド 38 に外部電源電圧 VCC を印加することにより、pMOS ドランジスタ 36 を非導通状態とし、基準電圧発生回路 21 を非活性状態にすることができる。

【0055】したがって、試験時、降圧回路 39 のオペ

アンプ42の正相入力端子に対して、基準電圧発生回路21から出力される基準電圧VREFよりも低電圧の基準電圧を供給することができる。

【0056】第4実施例・・図7

図7は本発明の第4実施例の要部を示す回路図であり、本実施例は、昇圧回路として、図2に示す昇圧回路29と回路構成の異なる昇圧回路64を設け、その他については、第1実施例と同様に構成したものである。

【0057】昇圧回路64において、65はVCC電源線、66～68はデプレッション形のnMOSトランジスタ、69はエンハンスマント形のpMOSトランジスタ、70～73は抵抗である。

【0058】本実施例においては、通常動作時、基準電圧 $VREF = 2 \times VTH_{n-E} + 2 \times |VTH_{n-D}|$ となり、昇圧電圧 $V_{IIB} = VREF + 3 \times |VTH_{n-D}| + |VTH_{p-E}|$ となる。

【0059】したがって、本実施例によても、基準電圧発生回路21を構成するnMOSトランジスタ25～28のゲート酸化膜と、降圧電圧VIIAを電源電圧として動作する内部回路43を構成するトランジスタのゲート酸化膜とを同一のプロセスで形成して同一の膜厚としても、nMOSトランジスタ27、28のゲート酸化膜の耐圧不足による不安定動作を招くことがなく、基準電圧発生回路21の安定した動作を確保することができる。

【0060】また、本実施例においても、パッド38に外部電源電圧VCCを印加することにより、pMOSトランジスタ36を非導通状態とし、基準電圧発生回路21を非活性状態にすることができる。

【0061】したがって、試験時、降圧回路39のオペアンプ42の正相入力端子に対して、基準電圧発生回路21から出力される基準電圧VREFよりも低電圧の基準電圧を供給することができる。

【0062】第5実施例・・図8

図8は本発明の第5実施例の要部を示す回路図であり、本実施例は、昇圧回路として、図2に示す昇圧回路29と回路構成の異なる昇圧回路75を設け、その他については、第1実施例と同様に構成したものである。

【0063】昇圧回路75において、76はVCC電源線、77、78はエンハンスマント形のpMOSトランジスタ、79、80は抵抗である。

【0064】本実施例においては、通常動作時、基準電圧 $VREF = 2 \times VTH_{n-E} + 2 \times |VTH_{n-D}|$ となり、昇圧電圧 $V_{IIB} = VREF + 2 \times |VTH_{p-E}|$ となる。

【0065】したがって、本実施例によても、基準電圧発生回路21を構成するnMOSトランジスタ25～28のゲート酸化膜と、降圧電圧VIIAを電源電圧として動作する内部回路43を構成するトランジスタのゲート酸化膜とを同一のプロセスで形成して同一の膜厚と

しても、nMOSトランジスタ27、28のゲート酸化膜の耐圧不足による不安定動作を招くことがなく、基準電圧発生回路21の安定した動作を確保することができる。

【0066】また、本実施例においても、パッド38に外部電源電圧VCCを印加することにより、pMOSトランジスタ36を非導通状態とし、基準電圧発生回路21を非活性状態にすることができる。

【0067】したがって、試験時、降圧回路39のオペアンプ42の正相入力端子に対して、基準電圧発生回路21から出力される基準電圧VREFよりも低電圧の基準電圧を供給することができる。

【0068】第6実施例・・図9

図9は本発明の第6実施例の要部を示す回路図であり、本実施例においては、昇圧回路として、図2に示す昇圧回路29と回路構成の異なる昇圧回路82が設けられている。

【0069】ここに、昇圧回路82は、pMOSトランジスタ33のバックバイアス電圧がそのソースの電圧と同一電圧となるようにする共に、nMOSトランジスタ34のバックバイアス電圧がそのソースの電圧と同一電圧となるようにしたものであり、その他については、図2に示す昇圧回路29と同様に構成されている。

【0070】また、pMOSトランジスタ36は、そのバックバイアス電圧をそのソースの電圧と同一になるようにされている。その他については、第1実施例と同様に構成されている。

【0071】本実施例においては、通常動作時、基準電圧 $VREF = 2 \times VTH_{n-E} + 2 \times |VTH_{n-D}|$ となり、昇圧電圧 $V_{IIB} = VREF + |VTH_{p-E}| + |VTH_{n-D}|$ となる。

【0072】したがって、本実施例によても、基準電圧発生回路21を構成するnMOSトランジスタ25～28のゲート酸化膜と、降圧電圧VIIAを電源電圧として動作する内部回路43を構成するトランジスタのゲート酸化膜とを同一のプロセスで形成して同一の膜厚としても、nMOSトランジスタ27、28のゲート酸化膜の耐圧不足による不安定動作を招くことがなく、基準電圧発生回路21の安定した動作を確保することができる。

【0073】また、本実施例においても、パッド38に外部電源電圧VCCを印加することにより、pMOSトランジスタ36を非導通状態とし、基準電圧発生回路21を非活性状態にすることができる。

【0074】したがって、試験時、降圧回路39のオペアンプ42の正相入力端子に対して、基準電圧発生回路21から出力される基準電圧VREFよりも低電圧の基準電圧を供給することができる。

【0075】第7実施例・・図10

図10は本発明の第7実施例の要部を示す回路図であ

11

り、本実施例は、昇圧回路として、図2に示す昇圧回路29と回路構成の異なる昇圧回路84を設け、その他については、第1実施例と同様に構成したものである。

【0076】昇圧回路84において、85はVCC電源線、86はエンハンスマント形のpMOSトランジスタ、87はデプレッション形のnMOSトランジスタ、88、89はエンハンスマント形のnMOSトランジスタであり、nMOSトランジスタ88、89は抵抗として動作させるものである。

【0077】本実施例においては、通常動作時、基準電圧 $V_{REF} = 2 \times V_{TH_{n-E}} + 2 \times |V_{TH_{n-D}}|$ となり、昇圧電圧 $V_{IIB} = V_{REF} + |V_{TH_{p-E}}| + |V_{TH_{n-D}}|$ となる。

【0078】したがって、本実施例によても、基準電圧発生回路21を構成するnMOSトランジスタ25～28のゲート酸化膜と、降圧電圧 V_{IIA} を電源電圧として動作する内部回路43を構成するトランジスタのゲート酸化膜と同一のプロセスで形成して同一の膜厚としても、nMOSトランジスタ27、28のゲート酸化膜の耐圧不足による不安定動作を招くことがなく、基準電圧発生回路21の安定した動作を確保することができる。

【0079】また、本実施例においても、パッド38に外部電源電圧VCCを印加することにより、pMOSトランジスタ36を非導通状態とし、基準電圧発生回路21を非活性状態にすることができる。

【0080】したがって、試験時、降圧回路39のオペアンプ42の正相入力端子に対して、基準電圧発生回路21から出力される基準電圧 V_{REF} よりも低電圧の基準電圧を供給することができる。

【0081】

【発明の効果】以上のように、本発明によれば、基準電圧発生回路を構成するトランジスタのゲート酸化膜と、降圧回路から出力される降圧電圧を電源電圧として動作する内部回路を構成するトランジスタのゲート酸化膜と

10

を同一のプロセスで形成して同一の膜厚としても、基準電圧発生回路の安定した動作を確保することができると共に、試験時、降圧回路に対して、基準電圧発生回路が outputする基準電圧よりも低電圧の基準電圧を外部から供給することができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1実施例の要部を示す回路図である。

【図3】本発明の第1実施例が設けている基準電圧発生回路及び昇圧回路の特性を示す図である。

【図4】本発明の第2実施例の要部を示す回路図である。

【図5】本発明の第2実施例が設けているスタータ回路を示す回路図である。

【図6】本発明の第3実施例の要部を示す回路図である。

【図7】本発明の第4実施例の要部を示す回路図である。

【図8】本発明の第5実施例の要部を示す回路図である。

【図9】本発明の第6実施例の要部を示す回路図である。

【図10】本発明の第7実施例の要部を示す回路図である。

【図11】従来の半導体集積回路の一例の要部を示す回路図である。

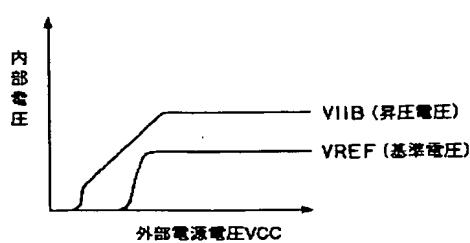
【符号の説明】

(図1)

- 30 15 基準電圧発生回路
 16 昇圧回路
 17 スイッチ素子
 18 降圧回路
 19 降圧電圧 V_{IIA} を電源電圧として動作する内部回路

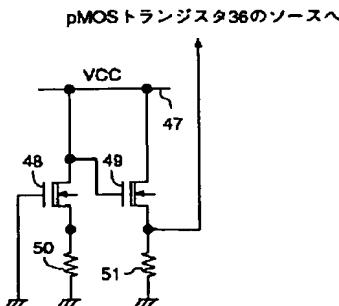
【図3】

基準電圧発生回路21及び昇圧回路29の特性



【図5】

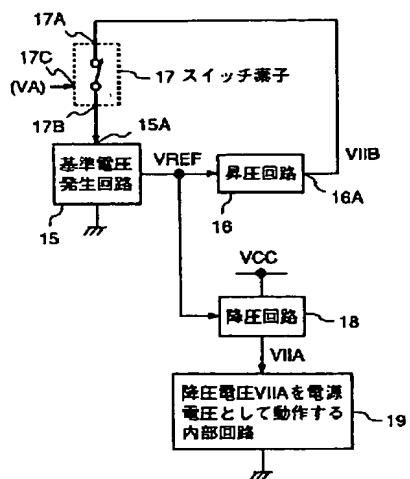
スタータ回路46



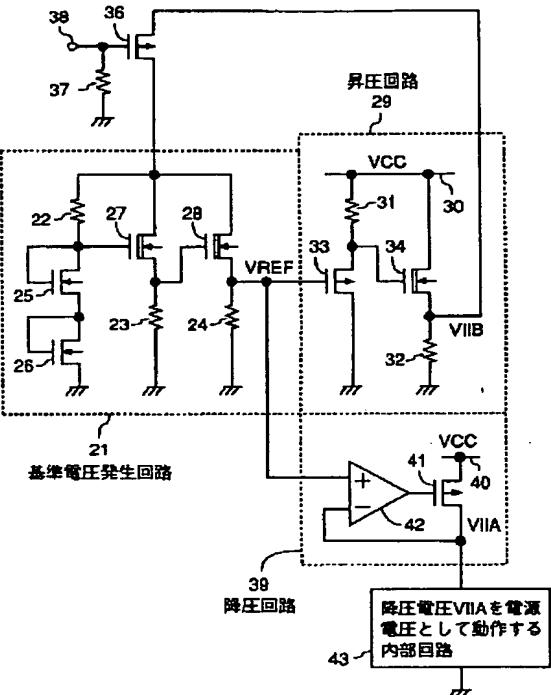
【図1】

[図2]

本発明の原理説明図

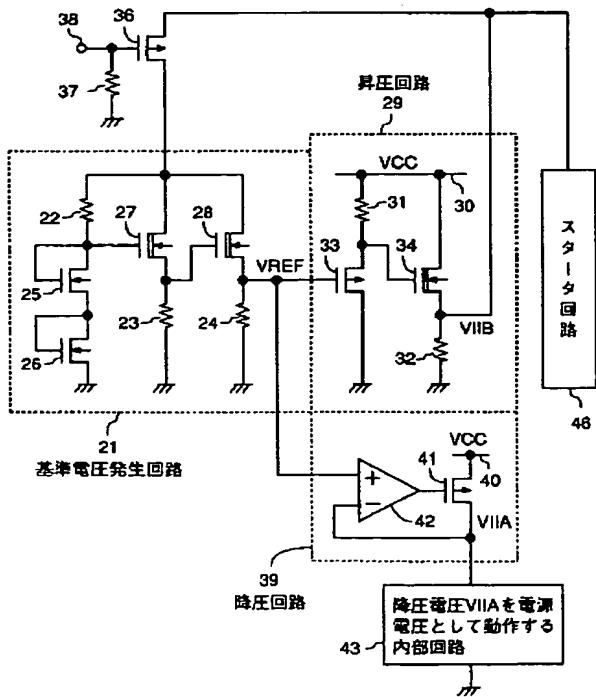


第1 実施例の要部



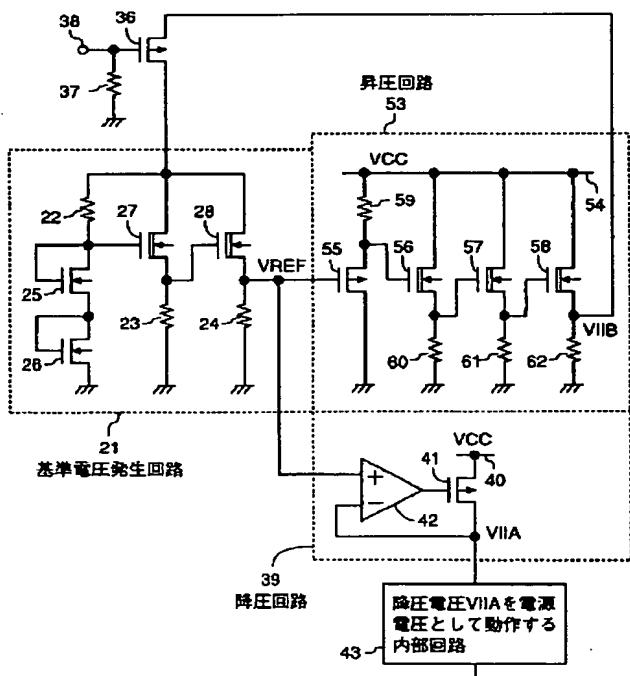
[图4]

第2実施例の要部



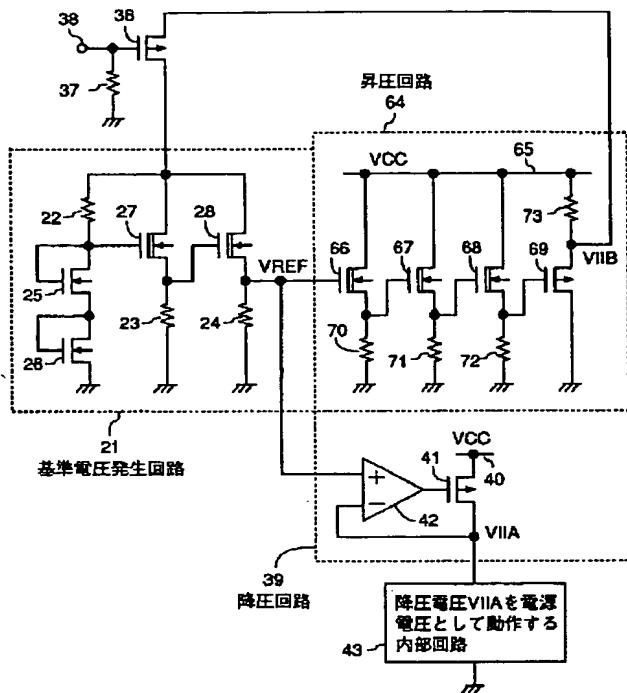
【図6】

第3実施例の要部



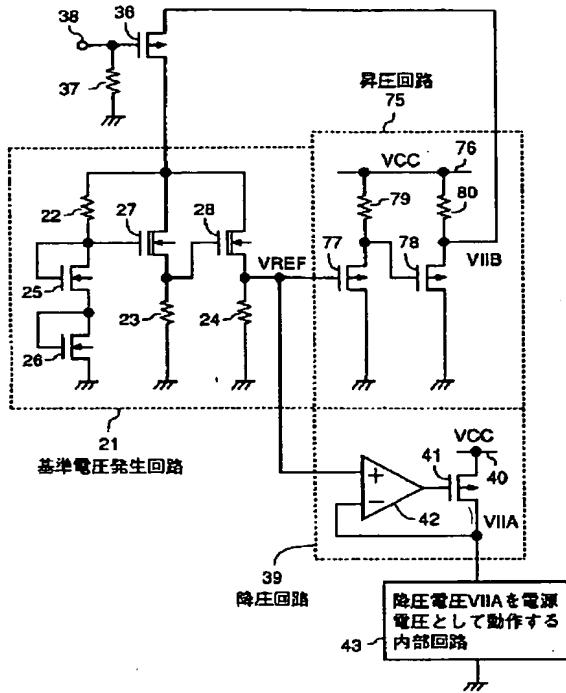
【図7】

第4実施例の要部



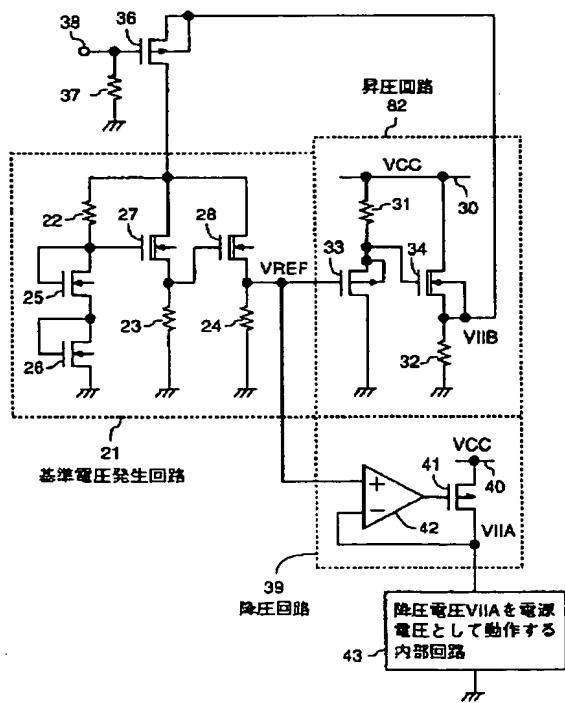
【図8】

第5実施例の要部



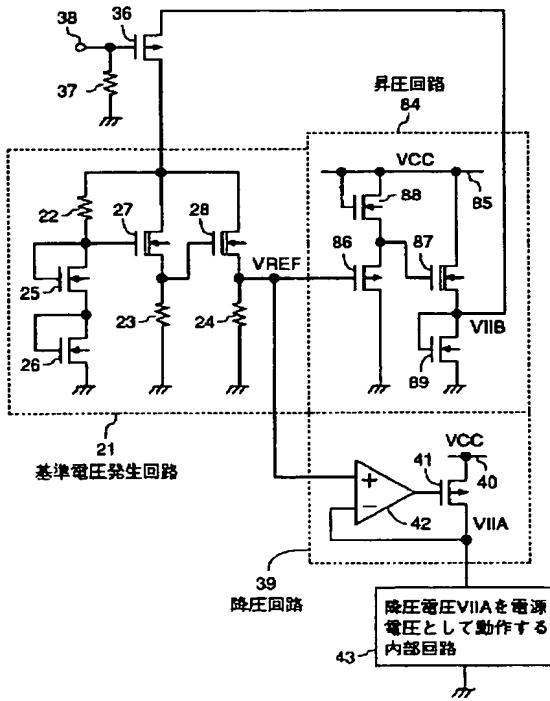
【図9】

第6実施例の要部



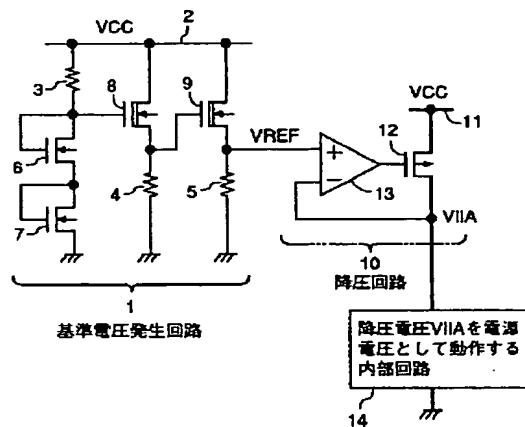
【図10】

第7実施例の要部



【図11】

従来の半導体集積回路の一例の要部



降圧電圧VIIAを電源
電圧として動作する
内部回路

14

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m

m